

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-122760
(P2000-122760A)

(43) 公開日 平成12年4月28日 (2000. 4. 28)

(51) Int.Cl.⁷

識別記号

F I

テーマコード* (参考)

G 0 6 F 3/00

G 0 6 F 3/00

F

審査請求 有 請求項の数21 O L (全 19 頁)

(21) 出願番号 特願平10-295105

(22) 出願日 平成10年10月16日 (1998. 10. 16)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション
INTERNATIONAL BUSIN
ESS MASCHINES CORPO
RATION
アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 柳 澤 貴

神奈川県大和市下鶴間1623番地14 日本ア
イ・ビー・エム株式会社 大和事業所内

(74) 代理人 100086243

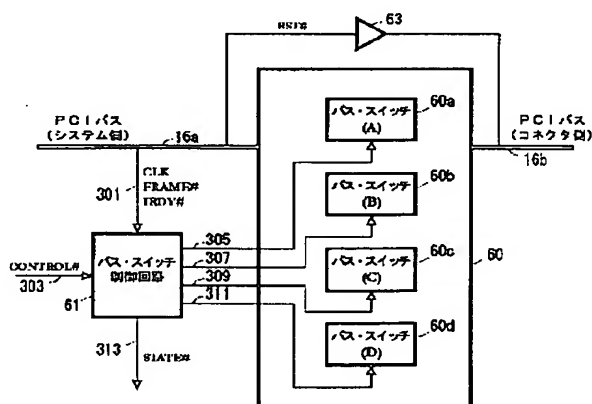
弁理士 坂口 博 (外1名)

(54) 【発明の名称】 コンピュータと周辺デバイスの接続装置および接続方法

(57) 【要約】

【課題】 コンピュータのバス・ラインとコンピュータの周辺デバイスとを活性挿抜する装置および方法を提供する。

【解決手段】 バス・スイッチ60はバス・ライン16aと16bとを開閉する。バス・スイッチ制御回路61は、バス・ライン16aの信号からターンアラウンド・サイクルにตอบสนองしたバス・スイッチ制御信号をライン305〜311を生成しバス・スイッチに供給する。バス・スイッチはバス・スイッチ制御信号にตอบสนองして開閉動作をする。これにより、バス・ライン16aと16bとを接続または開放する際には、バス・ライン16aがターンアラウンド・サイクルになっているため、バスのサイクル動作に対して開閉に伴うノイズの影響を与えない。



【特許請求の範囲】

【請求項1】コンピュータのシステムを構成するデバイスを相互に接続するバス・ラインと該コンピュータの周辺デバイスとを電氣的に接続する接続装置であって、前記バス・ラインの信号を検出しターンアラウンド・サイクルにตอบสนองしたバス・スイッチ制御信号を生成するバス・スイッチ制御回路と、

前記バス・ラインを前記コンピュータの内部システム側と前記周辺デバイス側とに分離する位置に挿入したスイッチング・デバイスを含み、該スイッチング・デバイスが前記バス・スイッチ制御信号にตอบสนองして接続または開放動作をするバス・スイッチとを有する接続装置。

【請求項2】コンピュータのシステムを構成するデバイスを相互に接続するP C Iバス・ラインと該コンピュータの周辺デバイスとを電氣的に接続する接続装置であって、

前記P C Iバス・ラインの信号を検出しターンアラウンド・サイクルにตอบสนองしたバス・スイッチ制御信号を生成するバス・スイッチ制御回路と、

前記P C Iバス・ラインを前記コンピュータの内部システム側と前記周辺デバイス側とに分離する位置に挿入したスイッチング・デバイスを含み、該スイッチング・デバイスが前記バス・スイッチ制御信号にตอบสนองして接続または開放動作をするバス・スイッチとを有する接続装置。

【請求項3】前記バス・スイッチ制御信号が、アドレス・フェーズの開始に関連するターンアラウンド・サイクルにตอบสนองした第1のバス・スイッチ制御信号を含む請求項2記載の接続装置。

【請求項4】前記バス・スイッチ制御信号が、アイドル・ステートに関連するターンアラウンド・サイクルにตอบสนองした第2のバス・スイッチ制御信号を含む請求項2または請求項3記載の接続装置。

【請求項5】前記バス・スイッチ制御信号が、前記P C Iバス・ラインのC L Kのタイミングにตอบสนองした第3のバス・スイッチ制御信号を含む請求項2ないし請求項4のいずれかに記載の接続装置。

【請求項6】前記バス・スイッチ制御回路が検出する前記P C Iバス・ラインの信号がF R A M E #、I R D Y #、およびC L Kからなる請求項2記載の接続装置。

【請求項7】前記バス・スイッチに含まれるスイッチング・デバイスが、ターンアラウンド・サイクルを有する信号を転送する1つ以上のP C Iバス・ラインに挿入された1つ以上のスイッチング・デバイスからなるグループを構成し、該グループに含まれるスイッチング・デバイスが前記バス・スイッチ制御信号にตอบสนองして一体的に接続または開放動作をする請求項2記載の接続装置。

【請求項8】前記バス・スイッチに含まれるスイッチング・デバイスが、ターンアラウンド・サイクルを有する信号を転送する1つ以上のP C Iバス・ラインに挿入さ

れた1つ以上のスイッチング・デバイスからなるグループと、ターンアラウンド・サイクルを有しない信号を転送する1つ以上のP C Iバス・ラインに挿入された1つ以上のスイッチング・デバイスからなるグループとを構成し、それぞれのグループには異なるタイミングで前記バス・スイッチ制御信号を供給し、前記各グループに含まれる1つ以上のスイッチング・デバイスが前記バス・スイッチ制御信号にตอบสนองして一体的に接続または開放動作をする請求項2記載の接続装置。

【請求項9】コンピュータのシステムを構成するデバイスを相互に接続するP C Iバス・ラインと該コンピュータの周辺デバイスとを電氣的に接続する接続装置であって、

前記P C Iバス・ラインの信号を検出しアドレス・フェーズの開始に関連するターンアラウンド・サイクルにตอบสนองした第1のバス・スイッチ制御信号とアイドル・ステートに関連するターンアラウンド・サイクルにตอบสนองした第2のバス・スイッチ制御信号とC L Kのタイミングにตอบสนองした第3のバス・スイッチ制御信号とを生成するバス・スイッチ制御回路と、

前記P C Iバス・ラインを前記コンピュータのシステム側と前記周辺デバイス側とに分離する位置で、アドレス・フェーズの開始に関連するターンアラウンド・サイクルを有する信号を転送する1つ以上のP C Iバス・ラインに挿入された1つ以上のスイッチング・デバイスからなる第1のグループと、アイドル・ステートに関連するターンアラウンド・サイクルを有する信号を転送する1つ以上のP C Iバス・ラインに挿入された1つ以上のスイッチング・デバイスからなる第2のグループと、ターンアラウンド・サイクルを有しない信号を転送する1つ以上のP C Iバス・ラインに挿入された1つ以上のスイッチング・デバイスからなる第3のグループとを含み、前記第1のグループに含まれる各スイッチング・デバイスは前記第1のバス・スイッチ制御信号にตอบสนองして一体的に接続または開放動作をし、前記第2のグループに含まれる各スイッチング・デバイスは前記第2のバス・スイッチ制御信号にตอบสนองして一体的に接続または開放動作をし、前記第3のグループに含まれる各スイッチング・デバイスは前記第3のバス・スイッチ制御信号にตอบสนองして一体的に接続または開放動作をするバス・スイッチとを有する接続装置。

【請求項10】コンピュータのシステムを構成するデバイスを相互に接続するバス・ラインと該コンピュータの周辺デバイスとを電氣的に接続する接続装置を備えるコンピュータであって、前記接続装置が、前記バス・ラインの信号を検出しターンアラウンド・サイクルにตอบสนองしたバス・スイッチ制御信号を生成するバス・スイッチ制御回路と、前記バス・ラインを前記コンピュータの内部システム側と前記周辺デバイス側とに分離する位置に挿入したス

ッチング・デバイスを含み、該スイッチング・デバイスが前記バス・スイッチ制御信号に応答して接続または開放動作をするバス・スイッチとを有するコンピュータ。

【請求項11】コンピュータのシステムを構成するデバイスを相互に接続するPCIバス・ラインと該コンピュータの周辺デバイスとを電気的に接続する接続装置を備えるコンピュータであって、前記接続装置が、前記PCIバス・ラインの信号を検出しターンアラウンド・サイクルにตอบสนองしたバス・スイッチ制御信号を生成するバス・スイッチ制御回路と、前記PCIバス・ラインを前記コンピュータの内部システム側と前記周辺デバイス側とに分離する位置に挿入したスイッチング・デバイスを含み、該スイッチング・デバイスが前記バス・スイッチ制御信号に応答して接続または開放動作をするバス・スイッチとを有するコンピュータ。

【請求項12】前記バス・スイッチ制御信号が、アドレス・フェーズの開始に関連するターンアラウンド・サイクルにตอบสนองした第1のバス・スイッチ制御信号を含む請求項11記載のコンピュータ。

【請求項13】前記バス・スイッチ制御信号が、アイドル・ステートに関連するターンアラウンド・サイクルにตอบสนองした第2のバス・スイッチ制御信号を含む請求項11または請求項12記載のコンピュータ。

【請求項14】前記バス・スイッチ制御信号が、前記PCIバス・ラインのCLKのタイミングにตอบสนองした第3のバス・スイッチ制御信号を含む請求項11ないし請求項13のいずれかに記載のコンピュータ。

【請求項15】前記バス・スイッチ制御回路が検出する前記PCIバス・ラインの信号がFRAME #、IRDY #、およびCLKからなる請求項11記載のコンピュータ。

【請求項16】前記バス・スイッチに含まれるスイッチング・デバイスが、ターンアラウンド・サイクルを有する信号を転送する1つ以上のPCIバス・ラインに挿入された1つ以上のスイッチング・デバイスからなるグループを構成し、該グループに含まれるスイッチング・デバイスが前記バス・スイッチ制御信号にตอบสนองして一体的に接続または開放動作をする請求項11記載のコンピュータ。

【請求項17】前記バス・スイッチに含まれるスイッチング・デバイスが、ターンアラウンド・サイクルを有する信号を転送する1つ以上のPCIバス・ラインに挿入された1つ以上のスイッチング・デバイスからなるグループと、ターンアラウンド・サイクルを有しない信号を転送する1つ以上のPCIバス・ラインに挿入された1つ以上のスイッチング・デバイスからなるグループとを構成し、それぞれのグループには異なるタイミングで前記バス・スイッチ制御信号を供給し、前記各グループに含まれる各スイッチング・デバイスが前記バス・スイッ

チ制御信号にตอบสนองして一体的に接続または開放動作をする請求項11記載のコンピュータ。

【請求項18】コンピュータのシステムを構成するデバイスを相互に接続するPCIバス・ラインと該コンピュータの周辺デバイスとを電気的に接続する接続装置を備えるコンピュータであって、前記接続装置が、前記PCIバス・ラインの信号を検出しアドレス・フェーズの開始に関連するターンアラウンド・サイクルにตอบสนองした第1のバス・スイッチ制御信号とアイドル・ステートに関連するターンアラウンド・サイクルにตอบสนองした第2のバス・スイッチ制御信号とCLKのタイミングにตอบสนองした第3のバス・スイッチ制御信号とを生成するバス・スイッチ制御回路と、

前記PCIバス・ラインを前記コンピュータのシステム側と前記周辺デバイス側とに分離する位置で、アドレス・フェーズの開始に関連するターンアラウンド・サイクルを有する信号を転送する1つ以上のPCIバス・ラインに挿入された1つ以上のスイッチング・デバイスからなる第1のグループと、アイドル・ステートに関連するターンアラウンド・サイクルを有する信号を転送する1つ以上のPCIバス・ラインに挿入された1つ以上のスイッチング・デバイスからなる第2のグループと、ターンアラウンド・サイクルを有しない信号を転送する1つ以上のPCIバス・ラインに挿入された1つ以上のスイッチング・デバイスからなる第3のグループとを含み、前記第1のグループに含まれる各スイッチング・デバイスは前記第1のバス・スイッチ制御信号にตอบสนองして一体的に接続または開放動作をし、前記第2のグループに含まれる各スイッチング・デバイスは前記第2のバス・スイッチ制御信号にตอบสนองして一体的に接続または開放動作をし、前記第3のグループに含まれる各スイッチング・デバイスは前記第3のバス・スイッチ制御信号にตอบสนองして一体的に接続または開放動作をするバス・スイッチとを有するコンピュータ。

【請求項19】コンピュータのシステムを構成するデバイスを相互に接続するバス・ラインと該コンピュータの周辺デバイスとを電気的に接続する方法であって、前記バスの信号を検出しターンアラウンド・サイクルにตอบสนองしたバス・スイッチ制御信号を生成するステップと、

前記バス・スイッチ制御信号にตอบสนองして前記バス・ラインにおける前記コンピュータのシステム側と前記周辺デバイス側とを接続または開放するステップとを有する方法。

【請求項20】コンピュータのシステムを構成するデバイスを相互に接続するPCIバス・ラインと該コンピュータの周辺デバイスとを電気的に接続する方法であって、前記PCIバスの信号を検出しターンアラウンド・サイクルにตอบสนองしたバス・スイッチ制御信号を生成するステ

ップと、前記バス・スイッチ制御信号に応答して前記P C Iバス・ラインにおける前記コンピュータのシステム側と前記周辺デバイス側とを接続または開放するステップとを有する方法。

【請求項21】前記バス・スイッチ制御信号が、アドレス・フェーズの開始に関連するターンアラウンド・サイクルにตอบสนองした第1のバス・スイッチ制御信号と、アイドル・ステートに関連するターンアラウンド・サイクルにตอบสนองした第2のバス・スイッチ制御信号とを含む請求項20に記載の接続方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンピュータ・システムが動作している状態でバスの動作に影響を与えないように周辺デバイスを挿入したり抜き取ったりする活性挿抜の制御に関する。

【0002】

【従来の技術】パーソナル・コンピュータ・システムにおいては、内部に含まれるC P U、メモリ、各種周辺デバイス等の各デバイス間のデータ転送の経路として、P C I (Peripheral Component Interconnect) バス、I S A (Industry Standard Architecture) バス、E I S A (Extended Industry Architecture)、M C (MicroChannel) バス等を採用している。この中でP C Iバスは1993年にインテル社により提唱され、バースト・モードにより比較的高速なデータ転送が可能なタイプの拡張バス(バス幅32/64ビット、最大動作周波数33/66MHz、最大データ転送速度132/264Mbps)で近年他のバスを置き換えつつある。P C Iバスの詳細はインテル社によって公開されたP C Iローカル・バス仕様(P C I Local Bus Specification Rev.2.1, P C I Special Interest Group)に規定されている。

【0003】ノートブック型パーソナル・コンピュータ(以後単にコンピュータという。)では携帯性を重視するため大きさや重量に制限があり、従来のように拡張ボードをマザーボード上に増設して機能を増強するようなことは原則として行えない。そこで、コンピュータ本体のパネル表面に拡張スロットを設けてR O Mや通信機能を備えたアダプタ・カードを選択的に装着できるようにしている。さらに持ち歩くときはコンピュータ単体で使い、オフィスではデスクトップ式のコンピュータに近似した機能で使えるようにするため、ハードディスクや拡張スロットを備えコンピュータ本体が取り外し可能に装着できるドッキング・ステーション(Docking Station)を利用できるようにしている。

【0004】アダプタ・カードやドッキング・ステーションをコンピュータ本体に接続したりコンピュータ本体から取り外したりする場合、コンピュータの電源を停止しないでできることは使用者にとって便利である。しか

し、通常バス・ラインは複数のデバイスで共有され、バス・サイクルを何ら考慮することなくコンピュータ・システムをドッキング・ステーションに装着してバス同士を相互に接続すると、バス・ラインの負荷が急激に変化してバス・サイクルの誤動作の原因となるようなノイズが発生し、システムのトラブルの原因になることがある。

【0005】これを防ぐためにコンピュータの電源を停止しないで挿入または取外しを行うための活性挿抜(Hot Docking/Undocking)という技術が開発されている。

特開平10-187304号公報は、活性挿抜のインターフェースをサポートしていないドッキング・ステーションに、動作中のコンピュータを活性挿抜させる技術を開示する。図18に概略のブロック図で示すようにこの技術は、コンピュータ611のP C Iバス・ライン619にバス・スイッチ617を設け、ドッキング・ステーション613のP C Iバス・ライン625上にD Cブリッジ623を設けている。バス・スイッチ617を開放した状態でドッキング・ステーションにコンピュータを装着したことを検出すると、P C Iブリッジのバス・マスタであるP C I-I S Aブリッジ627がバスの占有権を獲得し、ホストP C Iブリッジ629をターゲットとして、P C Iバス上にI/OリードまたはI/Oライトなどのダミー・バス・サイクルを発生させる。

【0006】ホストP C Iブリッジ629は、P C Iバス・ライン619がダミー・バス・サイクルの状態にある間にバス・スイッチ617を閉じるように制御して、ドッキング・ステーションのP C Iバス・ライン625をP C Iバス・ライン619に接続する。ダミー・バス・サイクルは正常なリード/ライトとしては使用しないため、バス・スイッチ617が閉じた時点でバス・サイクルの波形に乱れが生じてもコンピュータの動作に影響はない。しかしこの技術では、P C Iバスを活性挿抜するためにバスの占有権を獲得することができる新たなP C Iデバイスを用意するか、またはそのような機能を既存のP C Iデバイスに付加する必要がある。ドッキング・ステーション側のD Sブリッジ623またはこれに代わるP C I-P C Iブリッジにダミー・バス・サイクルを発生させるイニシエータの機能をもたせることも知られているが、これらのブリッジに特別な機能を付加することになりブリッジの選択に制約を与えることになる。

【0007】またI B Mのノートブック・コンピュータThinkPad (ThinkPadはI B Mの登録商標) 76X、77Xシリーズでは、コンピュータ内にP C I-P C Iブリッジを設けてドッキング・ステーションのP C Iバス・ラインをコンピュータのP C Iバス・ラインに活性挿抜させている。図19にこの技術を示す概略ブロック図を示す。この技術はコンピュータ631がドッキング・ステーション633から分離されて単体で動作しているとき

は、PCI-PCIブリッジ635がディスエ이블状態にあり、PCIバス637上では他のデバイスに認識されない。コンピュータ631を動作している状態でドッキング・ステーション633に装着すると、PCI-PCIブリッジ635がPCIバス・ライン637とPCIバス・ライン639を分離しているため、PCIバス・ライン637はそのバス・サイクルに影響を受けない。次にドッキング・ステーションはコンピュータにソフトウェア割り込みをかけ、これを受け取ったBIOSがPCI-PCIブリッジ635をイネーブルにする。しかしこの技術では、PCIバスの信号にはその規約上各デバイス共通の信号以外にデバイス固有の信号が存在するため、ドッキング・ステーションに装着されるデバイスの数に応じてPCI-PCIブリッジに接続されるバス・ラインの数を増やす必要がある。したがって、PCI-PCIブリッジをコンピュータ側に設けるとコネクタ641を通過するバス・ラインの数が増加し、ドッキング・ステーションの拡張性を阻害する要因となる。

【0008】さらに、本出願の発明者により発明され本出願の出願人に譲渡された特開平8-6668号公報では、CPUがISAバスのREFRESH#信号をモニタして、リフレッシュ・サイクルの開始時にバスの接続を行わせることによりISAバス同士を活性挿抜する技術を開示する。この技術ではリフレッシュ・サイクルの開始時はISAバスのアクティビティが比較的低いため、バスの結合に伴う信号波形への影響が生じにくいという経験則を利用している。

【0009】さらにまた、特開平5-73489号公報ではCPUおよび複数のモジュールが接続されたシステム・バス上における各モジュールの活性挿抜に関する技術を開示する。この技術では、バス・サイクル・ウェイト・システムにより、あるデバイスを活性挿入する際にシステム・バス上の信号を監視しておき、他のデバイスがシステム・バス上でデータ転送をしている場合には当該活性挿入したデバイスはシステム・バス上のデータを受信しない。したがって、誤ったデータを受信してそれが偶然にも当該デバイスの受信条件と一致することによりステータス・バス上に受信終了のステータスを乗せてしまうようなことはない。この技術では、システム・バス上で他のデバイスのデータ転送が行われていないことを条件に当該デバイスに起動許可を与える。

【0010】

【発明が解決しようとする課題】本発明の目的は、コンピュータに簡易なハードウェアを追加することにより、コンピュータのシステムを構成するデバイスを相互に接続するPCIバス等のバス・ラインとコンピュータの周辺デバイスとを、活性挿抜する装置および方法を提供することにある。さらに本発明の目的は、PCIバス・ラインのターンアラウンド・サイクルをモニタし、活性挿抜してもバス・サイクルにノイズの影響を与えないタイ

ミングになったバス・ラインから活性挿抜していく装置および方法を提供することにある。さらにまた本発明の目的は、活性挿抜のためにバスの占有権を獲得するような装置を設ける必要のない活性挿抜の接続装置および方法を提供することにある。本発明の目的は、活性挿抜のためにPCI-PCIブリッジをコンピュータに設ける必要のない活性挿抜の接続装置および方法を提供することにある。さらに本発明の目的は、活性挿抜される周辺デバイスに特別な機能が必要としない接続装置および方法を提供することにある。

【0011】

【課題を解決するための手段】本発明の原理は、サイクル動作中のバスに他のバスまたはデバイスを接続する際に、バスのサイクル動作における各信号の特性に着目するところにある。具体的には、バス信号の中で活性挿抜時にノイズの影響を受けるものは、サイクル動作中にターンアラウンド・サイクルを有しており、このターンアラウンド・サイクルのタイミングを利用してバス・ラインを相互に接続することにある。ターンアラウンド・サイクルはPCIバスの規約で定義されているが、本発明はPCIバスの活性挿抜に限定されるものではなく、そのサイクル動作中にターンアラウンド・サイクルを含むすべてのバスに適用することができる。

【0012】PCIバスでは、基本的に全てのバス・サイクルがCLKに同期しており、またCLKの周期も30ナノ秒と短いため、バスを駆動するデバイスを変更する場合に生じることが予想されるグリッジ等のノイズによるバスの誤動作の防止を考慮している。具体的にはバス・サイクルの規格として、1クロック間隔で「ターンアラウンド・サイクル」と称するバスを駆動するデバイスが変更するタイミングを規定する。各デバイスは、このタイミングでバスに発生した信号レベルは無視するように規定されている。従って周辺デバイスのPCIバス・ラインをコンピュータのPCIバス・ラインにターンアラウンド・サイクルのタイミングで接続すれば、接続時に当該バス・ライン上にノイズが生じて、サイクル動作中の他のPCIデバイスに誤動作をもたらすことはない。ターンアラウンド・サイクルは二つ以上のデバイスで駆動されることがあるすべてのPCI信号に要求される。

【0013】本発明の一の態様によれば、コンピュータのシステムを構成するデバイスを相互に接続するPCIバス・ラインと該コンピュータの周辺デバイスとを電氣的に接続する接続装置であって、前記PCIバス・ラインの信号を検出しターンアラウンド・サイクルに応答したバス・スイッチ制御信号を生成するバス・スイッチ制御回路と、前記PCIバス・ラインを前記コンピュータのシステム側と前記周辺デバイス側とに分離する位置に挿入したスイッチング・デバイスを含み、該スイッチング・デバイスが前記バス・スイッチ制御信号に応答して

接続または開放動作をするバス・スイッチとを有する接続装置を提供する。本発明の接続装置は、ドッキング・ステーション、アダプタ・カード、I/Oデバイス等のPCIバス・アーキテクチャに従ういかなる周辺デバイスにも適用できる。この態様によれば、バス・スイッチ制御信号によりスイッチング・デバイスがターンアラウンド・サイクルにตอบสนองして開閉動作をするので、サイクル動作中にバス同士を接続しても、ノイズの影響を回避することができる。また、バス・スイッチ制御回路およびバス・スイッチは比較的簡単なハードウェア構成で製作することができる。さらに、バス・スイッチ制御回路およびバス・スイッチをコンピュータ側に設けることにより、周辺デバイス側には活性挿抜のための特別な機能を付加する必要がなくなり、活性挿抜できるデバイスの範囲を広げることができる。

【0014】本発明の他の態様によれば、バス・スイッチ制御信号がアドレス・フェーズの開始に関連するターンアラウンド・サイクルにตอบสนองして生成され、さらに他の態様によればアイドル・ステートに関連するターンアラウンド・サイクルにตอบสนองして生成される。PCI信号の種類によりターンアラウンド・サイクルが発生するタイミングが異なるので、各タイミングでバス・スイッチ制御信号を生成し、スイッチング・デバイスを制御することにより各種のPCI信号のバス・ラインを活性挿抜することができる。

【0015】さらに本発明の他の態様によれば、バス・スイッチ制御信号は、FRAME#、IRDY#、CLKの各信号からターンアラウンド・サイクルを検出する。この3つの信号だけをモニタすることにより必要なPCI信号のターンアラウンド・サイクルを検出することができ、簡易なバス接続装置を実現できる。

【0016】

【発明の実施の形態】[コンピュータ・システムのハードウェア構成]図1は、本願発明を適用するのに適したノート型のパーソナル・コンピュータ（以下コンピュータという。）100およびこのコンピュータの機能を拡張するドッキング・ステーション200を示す。コンピュータ100は本体背面にコネクタ150bを備え、ドッキング・ステーション200と電氣的に接続できる。図2は、コンピュータ100のハードウェア構成を示す概略ブロック図である。本明細書に添付する図面においては、同一の機能を達成する構成要素には同一の参照番号を付す。メイン・コントローラであるCPU11は、OS（Operating System）の制御下で、各種プログラムを実行するようになっている。CPU11は、自身の外部ピンに直結したプロセッサ・バス12、ローカル・バスとしてのPCIバス16、及び、入出力バスとしてのISA（Industry Standard Architecture）バス18という3階層のバスを介して、後述の各ハードウェア構成要素と相互接続されている。

【0017】プロセッサ・バス12とPCIバス16とは、ホスト-PCIブリッジ13によって連絡されている。本実施例のブリッジ13は、メイン・メモリ14へのアクセス動作を制御するためのメモリ・コントローラや、両バス12、16間のデータ転送速度の差を吸収するためのデータ・バッファなどを含んだ構成となっている。メイン・メモリ14は、CPU11の実行プログラムの読み込み領域として、あるいは実行プログラムの処理データを書き込む作業領域として利用される、書き込み可能メモリである。ここで言う実行プログラムには、Windows 98などのOS、周辺機器類をハードウェア操作するための各種デバイス・ドライバ、特定業務に向けられたアプリケーション・プログラムや、ROM17（後述）に格納されたファームウェアが含まれる。

【0018】L2（レベル2）-キャッシュ15は、CPU11がメイン・メモリ14にアクセスする時間を吸収するための高速動作メモリであり、CPU11が頻繁にアクセスするごく限られたコードやデータを一時格納するようになっている。PCIバス16にはビデオ・コントローラ20やカードバス・コントローラ23のような比較的高速で駆動するPCIデバイス類が接続される。ビデオ・コントローラ20は、CPU11からの描画命令を実際に処理するための専用コントローラであり、処理した描画情報をビデオ・メモリ（VRAM）21に一旦書き込むとともに、VRAM21から描画情報を読み出して液晶表示ディスプレイ（LCD）22に描画データとして出力するようになっている。また、ビデオ・コントローラ20は、付設されたデジタル-アナログ変換器（DAC）によってビデオ信号をアナログ変換することができる。アナログ・ビデオ信号は、バス・ライン20aを介して、CRTポート51に出力される。また、バス・ライン20aは、途中で分岐して、ドッキング・コネクタ150にも向かっている。カードバス・コントローラ23は、PCIバス16のバス信号をPCIカード・スロット24のインターフェース・コネクタ（カードバス）に直結させるための専用コントローラである。カード・スロット24は、PCMCIA（Personal Computer Memory Card International Association）/JEIDA（Japan Electronic Industry Development Association）が策定した仕様（例えば“PC Card Standard 95”）に準拠したPCカード（図示しない）を受容するようになっている。

【0019】PCIバス16には、PCIバス16を活性挿抜するためのバス・スイッチ60、バッファ63およびバス・スイッチ制御回路61が設けられている。バス・スイッチ60は、内部システム側のPCIバス16aとドッキング・コネクタ150a側のPCIバス16bとを相互接続または開放するためのものである。ここにPCIバス16bは、ドッキング・コネクタ150で接続されるドッキング・ステーション200内部のPC

Iバスと連絡している。バッファ63は、コンピュータ側からドッキング・ステーション側にRST#信号を送るバス・ラインに挿入され、バス・スイッチ60の動作からは独立している。バス・スイッチ制御回路61は、PCIバス16のサイクル動作をモニタし、バス・スイッチ制御信号を生成してバス・スイッチ60の動作を制御する。バス・スイッチ60およびバス・スイッチ制御回路61の詳細は後述する。

【0020】また、PCIバス16とISAバス18とは、PCI-ISAブリッジ19によって相互接続されている。ブリッジ19は、IDE (Integrated Drive Electronics) に準拠した外部記憶装置を接続するためのIDEインターフェースを備え、IDEインターフェースにはIDEハード・ディスク・ドライブ (HDD) 25が接続される他、IDE CD-ROMドライブ26がATAPI (AT Attachment Packet Interface) 接続される。ブリッジ回路19はまた、汎用バスであるUSB (Universal Serial Bus) を接続するためのUSBルート・コントローラを内蔵するとともに、USBポート27を備えている。ISAバス18は、PCIバス16に比しデータ転送速度が低いバスであり (バス幅16ビット、最大データ転送速度4Mbps)、ROM17やリアル・タイム・クロック (RTC) 29、I/Oコントローラ30、キーボード/マウス・コントローラ34、オーディオCODEC37のような比較的低速で駆動する周辺機器類を接続するのに用いられる。

【0021】ROM17は、キーボード35やフロッピー・ディスク・ドライブ (FDD) 31などの各ハードウェアの入出力操作を制御するためのコード群 (BIOS: Basic Input/Output System) や、電源投入時の自己診断テスト・プログラム (POST: Power On Self Test) などのファームウェアを恒久的に格納するための不揮発性メモリである。電源コントローラ38は、主としてシステム内の各部への電力供給を管理するために設けられた周辺コントローラであり、内部にはマイクロプロセッサのほかにRAM、ROM、タイマ等を内蔵する。さらに、本実施例においてはドッキングステーションとコンピュータとの機械的な接続信号、およびドッキング・ステーションからコンピュータを引抜くためのイジェクト信号に応答してSMI (System Management Interrupt) というソフトウェア割り込みを発生し、またBIOSの指示に従って、バス・スイッチ制御回路61に活性挿抜のための信号を送る。リアル・タイム・クロック (RTC) 29は、現在時刻を計測するための装置である。

【0022】I/Oコントローラ30は、フロッピー・ディスク・ドライブ (FDD) 31の駆動、パラレル・ポート55を介したパラレル・データの入出力 (PIO)、シリアル・ポート56を介したシリアル・データの入出力 (SIO) を制御するための周辺コントローラ

である。パラレル・ポートには例えばプリンタが、シリアル・ポートにはモデムが接続される。パラレルバス・ライン30aは、パラレル・ポート55に伸びる他、分岐して、ドッキング・コネクタ150にも向かっている。また、シリアルバス・ライン30bは、シリアル・ポート56に伸びる他、分岐して、ドッキング・コネクタ150にも向かっている。また、FDD31用のバス・ライン30cは、外付けFDD用ポート57に伸びる他、分岐して、ドッキング・コネクタ150にも向かっている。

【0023】キーボード/マウス・コントローラ (KMC) 34は、キーボード35からの入力スキャン・コードや、トラックポイント36による指示座標値をコンピュータ・データとして取り込むための周辺コントローラである。キーボード用バス・ライン34a及びマウス用バス・ライン34bは、夫々、外付けキーボード用ポート53及び外付けマウス用ポート54に伸びる他、分岐して、ドッキング・コネクタ150にも向かっている。オーディオCODEC37は、オーディオ信号の入出力を行なうための専用コントローラであり、オーディオ信号をデジタル録音・再生するためのCODEC回路 (Coder-DECoder: すなわちミキシング機能を備えたAD, DA変換器) を含んでいる。MIDI用バス・ライン37aは、ドッキング・コネクタ150の一部に割り当てられている。また、オーディオ出力バス・ライン37bは、ライン出力端子52に伸びる他、分岐して、ドッキング・コネクタ150にも向かっている。

【0024】DCインレット71は、外部AC電源をDC電圧に変換するACアダプタを装着するためのジャックである。DC/DCコンバータ70は、DCインレット71又は、ドッキング・コネクタ150経由で受け取った外部DC電源電圧を降圧安定化して、コンピュータ100内の各部に給電するようになっている。ドッキング・ステーション200側から電力を受ける場合は、電力線70a経由でDC/DCコンバータ70に入力される。

【0025】図示の通り、PCIバス16、ISAバス18の各バス信号や、その他のポート信号20a, 30a, 30b…、及び電力線70aは、ドッキング・コネクタ150の各コネクタ・ピンに割り当てられている。ドッキング・コネクタ150aは、ドッキング・ステーション200側のドッキング・コネクタ150bと電気的及び機械的仕様が合致している。コンピュータ100及びドッキング・ステーション200をコネクタ150で接続することにより、コンピュータ100本体側のPCIバス16およびその他のポート信号20a, 30a, 30b…は拡張ユニット200側で展開される。コンピュータ100は、背面部分のドッキング・コネクタ150にて拡張ユニット200と接合する。なお、コンピュータ・システム100を構成するためには、図1に

示した以外にも多くの電気回路等が必要である。但し、これらは当業者には周知であり、また、本発明の要旨を構成するものではないので、本明細書中では省略している。

【0026】[ドッキング・ステーションのハードウェア構成]図3は、本発明の実施に供されるドッキング・ステーション200のハードウェア構成を示す概略ブロック図である。ドッキング・ステーション200は、コンピュータ100本体側のコネクタ150aと電氣的及び機械的仕様が合致したドッキング・コネクタ150bを備えており、該コネクタ150a、150b経由でコンピュータ100からPCIバス信号やポート信号などを一括して受け入れるようになっている。コネクタ150bにはPCIバス216が接続され、これにPCI-PCIブリッジ201が設けられている。ブリッジ201は、PCIバス216をコネクタ150経由で1次側PCIバス16に接続する。ブリッジ201の主要な機能には、PCIバス216上にあるマスタ・デバイスとPCIバス16上にあるターゲット・デバイス間でデータ転送を行う場合に、マスタ・デバイスの要求をうけてPCIバス16バス上のスレーブになって一時的にバッファに転送データを記憶し、PCIバス16の占有権を獲得してターゲット・デバイスにバッファからデータ転送を行うといったように、PCIバス間に転送経路を確立することが含まれる。ここにマスタ・デバイスとは特定のタスクを実行できるようにバスの占有権を獲得することができるデバイスで、ターゲット・デバイスとは、マスタ・デバイスによって要求されたタスクを実行するデバイスをいい、ともにPCIバスに接続されたPCIデバイスである。

【0027】ドッキング・ステーション側CPU(DockCPU)211は、ドッキング・ステーション200内の各部の動作を統括するためのメイン・コントローラである。DockCPU211は、作業領域として用いるRAMや実行プログラム・コード(ファームウェア)を格納するROMなどを内蔵している(図示しない)。DockCPU211は、例えば、ドッキング・ステーション200の状態を表示するためのLCDインジケータ212、コンピュータ100本体の取り外しを機械的に禁止するためのイジェクト・ロック213の操作、操作上の警告音を発生するためのビーパ214などの動作も制御する。コンピュータ100本体(すなわちCPU11)側から見れば、DockCPU211はバス接続された周辺機器の1つであり、I/Oアクセス可能なI/Oレジスタを内蔵している。なお、DockCPU11は、コンピュータ100およびドッキング・ステーション200がパワー・オフされている間も、補助電源によって給電されている。EEPROM215は、再書き込み可能な不揮発メモリである。EEPROM215は、ドッキング・ステーション200の製造番号

や、ユーザ・パスワード、システム構成情報など、コンピュータ100本体との合体・分離の際のセキュリティやシステムの動作補償のために必要な小容量のデータを保管するために用いられる。EEPROM215の記憶内容はDockCPU211やコンピュータ100本体側から参照可能である。

【0028】DC/DCコンバータ272は、DCインレット271経由で入力された外部DC電圧を降圧安定化して、ドッキング・ステーション200内及びコンピュータ100本体側に電力を分配する装置である。DCインレット271には、商用電源のAC電圧をDC電圧に変換するACアダプタが装着される。ドッキング・コネクタ150経由でPCIバス信号とともに一括して受け入れたポート信号類は、分岐して、CRTポート251、ライン出力端子252、外付けキーボード用ポート253、外付けマウス用ポート254、パラレル・ポート255、シリアル・ポート256、MIDIポート260の各ポートに向かっている。また、FDD用バス・ラインには、FDD232が接続されている。ドッキング・ステーション200側で拡張された2次側PCIバス216上には、例えばSCSI(Small Computer System Interface)コントローラ220やカードバス・コントローラ223のような比較的高速なデータ転送を必要とするデバイス類が接続されている。SCSIコントローラ220は、PCI-SCSI間のプロトコル変換を行なう専用コントローラであり、SCSIバスはSCSIポート220Aでドッキング・ステーション200外に現れている。SCSIポート220Aには、SCSIケーブルによってSCSI外部機器がデジィ・チェーン接続される。SCSI機器の例としては、HDDやMODドライブ、DVDドライブ、プリンタ、スキャナなどがある。

【0029】カードバス・コントローラ223は、先述のハードウェア構成要素23と同様、PCIバス信号をカード・スロット24に直結させるための専用コントローラである。また、2次側PCIバス216の終端には、1以上のPCIバス・スロット216Aが用意されている。PCIバス・スロット216Aには、PCI対応拡張アダプタ・カードを装着することができる。ドッキング・ステーション200には、2次側ISAバス218も装備されている。2次側ISAバス218は、PCI-ISAブリッジ219によって2次側PCIバス216と相互接続されている。2次側ISAバス218を設ける意義は、豊富なISAレガシーを継承する点にある。ブリッジ219の構成は、先述のハードウェア構成要素18と略同一構成である。ブリッジ回路219はIDEインターフェースを含んでおり、HDDやCD-ROMドライブなどのIDE機器231を接続することができる。また、2次側ISAバス218の終端には、1以上のISAバス・スロット218Aが用意されてい

る。ISAバス・スロット218Aには、ISA対応拡張アダプタ・カードを装着することができる。

【0030】[PCIデバイスの信号リスト]図4は、PCIローカル・バス仕様に規定されているPCIバスの信号リストである。PCIデバイスの左側には49本の必須信号用のピンが示され、右側には46本のオプション信号用のピンが示されている。各信号名称の後に表示したシンボル「#」は、当該信号がローのときアクティブであることを意味し、シンボル「#」の表示がない信号は、当該信号がハイのときアクティブであることを意味する。AD[31::00]、PAR等の信号でPCIデバイスに入るラインの矢印が双方向を示しているのは、マスタ・デバイスとターゲット・デバイスとの間でデータが双方向に転送されることを意味し、REQ#、GNT#等の信号で一方を示しているのは、マスタ・デバイスまたはターゲット・デバイスにおいて一方にのみ信号が転送されることを意味する。以下において各信号の概略を説明する

【0031】AD[31::00]は32ビットのアドレスおよびデータ信号で、両信号は同一のバス・ライン上でマルチプレクスされる。一つのバス・トランザクションは一つのアドレス・フェーズとこれに続く一つ以上のデータ・フェーズからなる。C/BE[3::00]#は4ビットのバス・コマンドおよびバイト・イネーブル信号で、同一のバス・ライン上でマルチプレクスされる。C/BE[3::00]#はアドレス・フェーズでバス・コマンドに使用され、データ・フェーズでバイト・イネーブルに使用される。PARは1ビットのパリティ信号で、AD[31::00]とC/BE[3::0]の16ビットの信号に対して適用される。

【0032】FRAME#は1ビットのサイクル・フレーム信号で、バスの占有権を獲得している現行マスタ・デバイスによりアクセスの開始と継続を示すために生成される。FRAME#はバス・トランザクションの開始時にアサートされ、データ転送が継続している間アサートされ続けている。FRAME#がデアサートされるときはトランザクションが最終データ・フェーズにあるかまたは完了している状態である。TRDY#は1ビットのターゲット・レディ信号で、ターゲット・デバイスが現行データ・フェーズを完了できることを示す。IRDY#は1ビットのイニシエータ・レディ信号で、イニシエータまたはマスタ・デバイスが現行データ・フェーズを完了できることを示す。STOP#は1ビットのストップ信号で、現行ターゲット・デバイスがマスタ・デバイスに対して現行トランザクションを停止するよう要求していることを示す。DEVSEL#は1ビットのデバイス・セレクト信号で、あるデバイスのDEVSEL#がアクティブ状態になったときは、そのデバイスが現行アクセスのターゲットとしてそのアドレスをデコードする。IDSELは1ビットのイニシャライゼーション・

デバイス・セレクト信号で、コンフィグレーションの読み取りおよび書き込みトランザクションの間のチップ選択に使用される。

【0033】PERR#は1ビットのパリティ・エラー信号で、特別なバス・サイクルを除いて他のすべてのPCIトランザクションの間に生じたデータ・パリティ・エラーのリポートに使用される。SERR#は1ビットのシステム・エラー信号で、スペシャル・サイクル・コマンドにおけるアドレス・パリティ・エラーおよびデータ・パリティ・エラーをリポートするために使用される。REQ#は1ビットのリクエスト信号で、そのデバイスがバスの占有を要求することをアービタに通知するために使用される。GNT#は1ビットのグラント信号で、バスの占有をリクエストしたデバイスにバスの占有が許可されたことを通知するために使用される。CLKは1ビットのクロック信号で、すべてのPCIデバイスに供給され、すべてのPCIトランザクションのタイミングを調整するために使用される。RST#はリセット信号で、PCIの特定レジスタ、シーケンサ、および信号を所定の状態に戻すために使用される。

【0034】AD[63::32]は追加の32ビットのアドレスおよびデータ信号で、両信号は同一のバス・ライン上でマルチプレクスされる。C/BE[7::4]#は、4ビットからなるバス・コマンドおよびバイト・イネーブル信号で、両信号は同一のピン上でマルチプレクスされる。PAR64は1ビットの上位ダブル・ワード・パリティ・エラー信号で、AD[63::32]とC/BE[7::4]#の各ビット信号のエラー・リポートに使用される。REQ64#は1ビットからなる64ビット転送信号で、現行バス・マスタによりアクティブにされたとき64ビットのデータ転送が要求されていることを示す。ACK64#は1ビットからなる64ビット転送アクノレッジ信号で、現行アクセスのターゲットとしてそのアドレスをデコードしたデバイスによりアクティブにされたとき、ターゲットは64ビットのデータ転送を行うことを示す。LOCK#は1ビットからなるインターフェース・コントロール用のロック信号で、あるマスタ・デバイスがターゲット・デバイスにアクセスする場合、他のマスタ・デバイスが当該ターゲット・デバイスにアクセスするのを禁止するために使用される。INTA#、INTB#、INTC#、INTD#はデバイスがインターラプト信号を発生する際に使用される。

【0035】[サイクル動作にターンアラウンド・サイクルを有する信号]PCIバス規格ではターンアラウンド・サイクルはそれぞれのPCI信号の種類に応じて特定のタイミングで発生する。たとえば、IRDY#、TRDY#、DEVSEL#、STOP#、ACK64#、PAR、LOCKの各信号に対しては、アドレス・フェーズに入ってから最初のCLKのポジティブ・エッジでターンアラウンド・サイクルを発生させる。

【0036】FRAME#、REQ64#、IDSEL、C/BE[3::0]、C/BE[7::4]、AD[31::00]、AD[63::32]の各信号に対しては、トランザクション間に生じるアイドル・ステートを利用してターンアラウンド・サイクルを発生させる。ここにアイドル・ステートとは、FRAME#とIRDY#の双方がデアサートされた状態をいい、データ・フェーズが終了してから最初に生じるCLKのポジティブ・エッジで発生する。さらにPERR#のターンアラウンド・サイクルは、最後のデータ・フェーズから4個目のCLKで発生する。

【0037】各種PCIバス・トランザクションにおいて、PCI信号にターンアラウンド・サイクルが発生するときの一例を図5ないし図8に示す。図5ないし図8において二つの矢印が相互の尾の部分に向かっている記号がターンアラウンド・サイクルを示している。図5は、PCIバスの基本的な読取り動作を示しており、FRAME#が最初にアサートされた状態であるアドレス・フェーズで始まっている。図5には、IRDY#、TRDY#、DEVSEL#の各信号がアドレス・フェーズに入ったあとの最初のCLKに相当する2番目のCLKのポジティブ・エッジでターンアラウンド・サイクルが発生していることが示されている。最初のデータ・フェーズでADに生じているターンアラウンド・サイクルは本発明では利用しない。図5にはさらに、データ・フェーズの最後においてFRAME#とIRDY#の双方がデアサートされてアイドル・ステートが生じ、データ・フェーズが終了してから最初に生じるCLKに相当する9番目のCLKのポジティブ・エッジでFRAME#、AD、C/BE#の各信号がターンアラウンド・サイクルになっていることが示されている。

【0038】図6はPCIバスのパリティ動作を示す。パリティ動作においてはトランザクションごとにマスタ・デバイスが所定のターゲット・デバイスをアドレスしたかどうか、およびマスタ・デバイスとターゲット・デバイス間でデータ転送が正確に行われたかどうかが決定される。図6において、アドレス・フェーズに入った後に6番目のCLKのポジティブ・エッジでPARにターンアラウンド・サイクルが生じている。PCI規格には、PERR#のターンアラウンド・サイクルは最後のデータ・フェーズから4個目のCLKで生じると規定されている。図6には4番目のCLKで生じた最後のデータ・フェーズから4個目のCLKである8番目のCLKのポジティブ・エッジでPERR#にターンアラウンド・サイクルが発生していることが示されている。

【0039】図7は、PCIバスの基本的な書込み動作を示す。図5の読取り動作と同じように、アドレス・フェーズの最初のCLKでIRDY#、TRDY#、DEVSEL#の各信号にターンアラウンド・サイクルが発生し、アイドル・ステートでFRAME#、AD、C/

BE#の各信号にターンアラウンド・サイクルが発生している。図8は、PCIバスのリトライ動作を示す。リトライとは、ターゲット・デバイスがビジーなためデータ転送を行う前に一時的にトランザクションを終了することをいう。図8には、アドレス・フェーズの最初のCLKで生じているSTOP#のターンアラウンド・サイクルが示されている。

【0040】[サイクル動作にターンアラウンド・サイクルを有しない信号] ターンアラウンド・サイクルを備えるPCI信号の各バス・ラインは複数のデバイスで共有され、信号を駆動するデバイスのドライバと信号を受信するデバイスのレシーバはバス・サイクルごとに決定される。しかし、REQ#、GNT#、CLKの各信号のバス・ラインはデバイスそれぞれに用意されておりドライバとレシーバが1対1に固定されている。たとえば、CLKはドライバとしてのクロック・ジェネレータからそれぞれ独自のバス・ラインを通じてレシーバとしての各PCIデバイスに供給される。このようにデバイス固有に用意されているバス・ラインでは、当該バス・ラインに他のバス・ラインを接続したときにノイズが乗ったとしても、複数のデバイスで共有されているバス・ラインではないのでサイクル動作中の他のデバイスに影響を与えるようなことはなく、サイクル動作中のPCIバスを接続するときに接続のタイミングを考慮する必要がない。またこれらの信号はバス・サイクルとは非同期的に発生するので、バス・ラインをバス・サイクルとは無関係に接続および開放してよいことになる。

【0041】さらにSERR#、INTA#、INTB#、INTC#、INTD#の各信号はオープン・ドレイン形式の信号であり、PCIデバイスの各ドライバはこれらの各信号に関してワイヤードOR回路で各バス・ラインに接続される。オープン・ドレイン信号は、各ドライバが非同期的に信号を駆動することを前提にしており、バス・サイクルと非同期的にデバイスをバス・ラインに接続しても、サイクル動作中の他のデバイスにノイズの影響を与えることはない。また、RST#はコンピュータ側からドッキング・ステーション側に一方向に信号を送るだけなので、RST#のバス・ラインについての活性挿抜を実行する際接続部から発生するノイズがコンピュータ側に転送されないように考慮するだけで足りることになる。上述したREQ#、GNT#、CLK、SERR#、INTA#、INTB#、INTC#、INTD#、RST#の各信号は、これらの信号の性質より明らかなようにPCIバスのサイクル動作中にターンアラウンド・サイクルを有しない。

【0042】[PCIバス活性挿抜の回路構成] 図9は、図2で説明したコンピュータで使用される本発明の実施例にかかる活性挿抜の基本的なハードウェア構成を示すブロック図である。バス・スイッチ60の一次側および二次側には、PCIバス16a(内部システム側)

およびPCIバス16b(コネクタ側)がそれぞれ接続されている。PCIバス16aおよび16bは、図4で説明した各信号の転送に使用される複数のバス・ラインを有する。バス・スイッチ60は、バス・スイッチ(A)60a、バス・スイッチ(B)60b、バス・スイッチ(C)60cおよびバス・スイッチ(D)60dの4つの構成部分からなる。PCIバス16aの中で、CLK、FRAME#、IRDY#の3種類の信号を転送するバス・ラインは、ライン301を通じてバス・スイッチ制御回路61に接続されている。また、PCIバス16aの中で、RST#の信号を転送するバス・ラインはバッファ63を通じて、PCIバス16bのRST#信号を転送するバス・ラインに接続されている。さらに活性挿抜の実行を制御するバス接続信号CONTROL#を転送するライン303が電源コントローラ38(図2)とバス・スイッチ制御回路61との間に接続されている。バス・スイッチ制御回路61の出力には、バス・スイッチ60を制御するバス・スイッチ制御信号ENABLE-A#、ENABLE-B#、ENABLE-C#、ENABLE-D#を転送するバス・ライン305、307、309、311が、それぞれバス・スイッチ(A)60a、バス・スイッチ(B)60b、バス・スイッチ(C)60c、およびバス・スイッチ(D)60dに接続されている。さらに、バス・スイッチ制御回路61から、電源コントローラ38にバス接続状態信号STATE#を転送するライン313が接続される。バッファ63は、バス・スイッチ制御回路の制御からは独立している。

【0043】[バス・スイッチ制御回路の構成]図10はバス・スイッチ制御回路61の実施例を示すブロック図である。Dフリップ・フロップ351のD入力にはFRAME#のライン301aが接続され、エッジ・トリガCLK入力にはCLKのライン301bが接続され、反転Q出力にはライン315が接続される。Dフリップ・フロップ351はアドレス・フェーズに入った後に生ずる最初のCLKで生じるターンアラウンド・サイクルのタイミングでポジティブ・エッジを有するタイミング信号TIMING-A#を生成し、ライン315を通じてDフリップ・フロップ369のエッジ・トリガCLK入力に供給する。Dフリップ・フロップ369のD入力にはバス制御信号CONTROL#を転送するライン303が接続される。Dフリップ・フロップ369のQ出力からはライン305を通じてバス・スイッチ制御信号ENABLE-A#が出力される。

【0044】Dフリップ・フロップ357のD入力にはFRAME#のバス・ライン301aが接続され、エッジ・トリガCLK入力にはCLKのバス・ライン301bが接続され、Q出力はANDゲート361の一方の入力に接続される。Dフリップ・フロップ359のD入力にはIRDY#のバス・ライン301cが接続され、エ

ッジ・トリガCLK入力にはCLKのバス・ライン301bが接続され、Q出力はANDゲート361の他方の入力に接続される。ANDゲート361はデータ・フェーズが終了した後の最初のCLKのポジティブ・エッジで生じるターンアラウンド・サイクルのタイミングでポジティブ・エッジを有するTIMING-B#を生成し、ライン317を通じてDフリップ・フロップ371のエッジ・トリガCLK入力に供給する。Dフリップ・フロップ371のD入力には、バス制御信号CONTROL#を転送するライン303が接続される。Dフリップ・フロップ371のQ出力からはライン307を通じてバス・スイッチ制御信号ENABLE-B#が出力される。

【0045】ANDゲート361の出力はさらにDフリップ・フロップ363のD入力に接続され、Dフリップ・フロップ365、Dフリップ・フロップ367を経由してライン319に出力される。Dフリップ・フロップ363、365、367のエッジ・トリガCLK入力にはそれぞれライン301bが接続されCLKが供給される。ライン319にはデータ・フェーズが終了してから4個めのCLKのポジティブ・エッジで発生するターンアラウンド・サイクルのタイミング信号TIMING-C#が生成され、TIMING-C#はDフリップ・フロップ373のエッジ・トリガCLK入力に供給される。Dフリップ・フロップ373のD入力には、バス制御信号CONTROL#を転送するライン303が接続される。Dフリップ・フロップ373のQ出力からはライン309を通じてバス・スイッチ制御信号ENABLE-C#が出力される。

【0046】Dフリップ・フロップ375のD入力にはバス制御信号CONTROL#を転送するライン303が接続される。インバータ377の入力にはCLKのバス・ライン301bが接続され、その出力はDフリップ・フロップ375のエッジ・トリガCLK入力に接続される。Dラッチ375のQ出力からはライン311を通じてバス・スイッチ制御信号ENABLE-D#が出力される。ライン305、307、309、311はORゲート379およびNANDゲート381の入力に接続される。ORゲート379およびNANDゲート381の出力は、それぞれDフリップ・フロップ383のクリア入力CLRおよびプリセット入力PRに接続される。Dフリップ・フロップ383のD入力はハイ・レベルに維持され、CLK入力はロー・レベルに維持され、ライン313を通じてバス状態接続信号STATE#を出力する。

【0047】[バス・スイッチ制御回路の動作]次に図10に示したバス・スイッチ制御回路の動作を説明する。TIMING-A#は、FRAME#およびCLKの各信号から、Dフリップ・フロップ351により生成される。TIMING-A#を生成する回路のタイミン

グ・チャートおよび真理値表を図11に示す。真理値表から明らかなように、TIMING-A#は、FRAME#がハイ・レベルを継続している間はロー・レベルになっており(タイミング1、2)、FRAME#がロー・レベルになってもCLKのポジティブ・エッジで刻時されるまではロー・レベルを継続し(タイミング3)、CLKのポジティブ・エッジでロー・レベルのFRAME#が刻時されるときハイ・レベルになる(タイミング4)。さらにFRAME#がハイ・レベルになってCLKで刻時されるまでハイ・レベルを維持し(タイミング5、6)、CLKのポジティブ・エッジでハイ・レベルのFRAME#が刻時されたときロー・レベルになる(タイミング7)。したがって、TIMING-A#は、FRAME#がロー・レベルになってバス・サイクルがアドレス・フェーズに入ってから最初に発生したCLKに同期するポジティブ・エッジを備え、次のCLKのポジティブ・エッジでロー・レベルになり、IRDY#、TRDY#、DEVSEL#、STOP#、ACK64#、PAR、LOCKの各信号に関するターンアラウンド・サイクルに同期していることになる。

【0048】TIMING-B#は、FRAME#、IRDY#、およびCLKの各信号からDフリップ・フロップ357、359およびANDゲート361により生成される。TIMING-B#を生成する回路のタイミング・チャートおよび真理値表を図12に示す。図12に示すようにTIMING-B#は、FRAME#をCLKのポジティブ・エッジで刻時したDフリップ・フロップ357の出力Q-FRAME#とFRAME#をCLKのポジティブ・エッジで刻時したDフリップ・フロップ361の出力Q-IRDY#いずれか一方がロー・レベルのときロー・レベルとなり(タイミング1~4)、双方がハイ・レベルのときハイ・レベルになる(タイミング5~6)。さらに詳しくいうとTIMING-B#は、FRAME#およびIRDY#の双方がハイ・レベルになった後(タイミング4)に最初に生じたCLKのポジティブ・エッジのタイミング(タイミング5)で、ポジティブ・エッジを備える信号になる。したがって、TIMING-BはFRAME#およびIRDY#が共にデアサートされてアイドル・ステートになったタイミングのCLKに同期するポジティブ・エッジを有し、FRAME#、REQ64#、C/BE[3::0]、IDSEL#、C/BE[7::4]、AD[31::00]、AD[63::32]の各信号のターンアラウンド・サイクルに同期していることになる。

【0049】TIMING-C#はTIMING-B#およびCLKの各信号から3個のDフリップ・フロップ363、365、367を直列に接続した回路により生成される。図から明らかなように、TIMING-C#はTIMING-B#に対して3個のCLK分だけ遅れて生成される。したがって、TIMING-C#は最後

のデータ・フェーズから4個目のCLKで発生し、PERR#のターンアラウンド・サイクルのタイミングをアサートしていることになる。

【0050】次に、バス・スイッチ制御信号ENABLE-□#を生成する部分の動作について説明する。ENABLE-A#は、Dフリップ・フロップ369のエッジ・トリガCLK入力に供給されるTIMING-A#とD入力に供給されるCONTROL#により生成される。Dフリップ・フロップの動作より明らかなように、ENABLE-A#はCONTROL#がロー・レベルになった後の最初のTIMING-A#のポジティブ・エッジでロー・レベルになり、CONTROL#がロー・レベルである間はロー・レベルを継続する。つぎにCONTROL#がハイ・レベルになった後の最初のTIMING-A#のポジティブ・エッジでハイ・レベルになる。

【0051】ENABLE-B#、ENABLE-C#もそれぞれTIMING-B#およびTIMING-C#とCONTROL#との関係と同様に生成される。ENABLE-D#は、Dフリップ375のエッジ・トリガCLK入力へのCLKがインバータ377を経由している。これは、CLKのネガティブ・エッジでCONTROL#を刻時することに相当する。CLKのネガティブ・エッジにENABLE-D#を同期させたのは、PCIバスでは各信号の検出をポジティブ・エッジで行うので、バスの動作状態の変更時に与える影響をできるだけ少なくするためである。

【0052】つぎに、ライン313にSTATE#を出力する部分の動作について説明する。STATE#は、ENABLE-A#、ENABLE-B#、ENABLE-C#、ENABLE-D#の各信号を入力にしてORゲート379、NANDゲート381、およびDフリップ・フロップ383により生成される。ENABLE-□#がすべてアクティブ・ローになると、CLRにロー・レベルの信号が供給され、Dフリップ・フロップ383はクリアされてライン313にロー・レベルの信号を出力する。また、すべてのENABLE-□#がインアクティブ・ハイになるとPRにロー・レベルの信号が供給され、Dフリップ・フロップ383はプリセットされてライン313にハイ・レベルの信号を出力する。ENABLE-□#の各信号のすべてのレベルがハイまたはローになっていない移行期には、CLRおよびPRの入力がハイ・レベルになり、それ以前の状態が保持される。

【0053】[バス・スイッチ] 図13にバス・スイッチ60の実施例を示す。バス・スイッチ60は、関連するバス・スイッチ制御信号の種類ごとにバス・スイッチ60a、60b、60c、60dの4つの構成部分からなる。各バス・スイッチの構成部分は、1個以上のN型FET411、413、415、417をスイッチング

・デバイスとして含む。本発明のスイッチング・デバイスとしては、PCIバス規約に規定するように50ミリ・オーム以下の接続抵抗で、信号の種類に応じて適切な方向性を備え、外部信号で制御可能であればいかなる種類のデバイスでも採用できる。

【0054】構成部分60aにおいて、ENABLE-A#を転送するライン305がインバータ403に接続され、インバータ403で反転された信号が、バス・スイッチ60aを構成するFETのすべてのゲートに接続される。構成部分60aのスイッチング・デバイス411は、IRDY#、TRDY#、DEVSEL#、STOP#、ACK64#、PAR、LOCKの各バス・ラインに挿入される。前述のようにこれらの信号は、アドレス・フェーズの最初のCLKのポジティブ・エッジでターンアラウンド・サイクルが発生する信号のグループで、ターンアラウンド・サイクルのタイミングはTIMING-A#でアサートされる。ENABLE-A#はロー・アクティブ信号であり、インバータ403で信号が反転されるため、ENABLE-A#がロー・レベルになると構成部分60aのスイッチング・デバイス411はすべてオンになる。

【0055】構成部分60bのスイッチング・デバイス413は、FRAME#、REQ64#、IDSEL、C/BE[3::0]、C/BE[7::4]、AD[31::00]、AD[63::32]の各バス・ラインに挿入される。本図において複数のビットからなるバス・ラインについては、図の簡略化のための1ビット分のみを記載するが、スイッチング・デバイスは各バス・ラインに挿入される。前述のようにこれらの信号はアイドル・ステートでターンアラウンド・サイクルが発生する信号のグループで、ターンアラウンド・サイクルのタイミングはTIMING-B#でアサートされる。ENABLE-B#がロー・レベルになると構成部分60bのスイッチング・デバイス413はすべてオンになる。

【0056】構成部分60cのスイッチング・デバイス415はPERR#のバス・ラインに挿入される。PERR#は、最後のデータ・フェーズから4個目のCLKでターンアラウンド・サイクルが発生する信号で、ターンアラウンド・サイクルのタイミングはTIMING-C#でアサートされる。ENABLE-C#がロー・レベルになるとスイッチング・デバイス415はオンになる。

【0057】構成部分60dのスイッチング・デバイス417は、CLK、GNT#、REQ#、SERR#、INTA#、INTB#、INTC#、INTD#の各バス・ラインに挿入される。前述のようにこれらの信号はターンアラウンド・サイクルを含まず、デバイス固有の信号またはバス・サイクルとは非同期に発生する信号であり、バス・サイクルの状態を考慮しないで接続できるので、単にCLKの任意のタイミングで接続すること

で足りる。CLKの任意のタイミングとして生成されたTIMING-D#がロー・レベルになると、構成部分60dのスイッチング・デバイス417はすべてオンになる。

【0058】[PCIバス活性挿抜シーケンス] 次に、コンピュータをドッキング・ステーションに活性挿抜する際の動作を説明する。本発明においてコンピュータの各バス・ラインがバス・スイッチの動作によりドッキング・ステーションのバス・ラインに接続または開放するときの順番は、バス接続信号CONTROL#がアサートまたはデアサートされた瞬間のバス・サイクルの状態に依存する。この理由は、ターンアラウンド・サイクルの発生タイミングがバス・サイクルに依存し、ターンアラウンドは信号の種類ごとにバス・サイクル中の異なるタイミングで生じるからである。したがって以下に説明するバス・ラインの接続の順番は一例であり、本発明はこの順番に限定されるものではない。

【0059】図14にコンピュータ100(図1、図2)をドッキング・ステーション200(図1、図3)に活性挿入する場合のPCI信号のタイミング・チャートの一例を示し、図15にバスの接続手順のフローチャートの一例を示す。今パーソナル・コンピュータ100は内臓バッテリーで駆動されており、PCIバス16(図2)はこれに接続されるPCIデバイス間の信号の転送のためにバス・サイクルを実行している。バス接続信号CONTROL#はハイ・レベルにデアサートされており、バス・スイッチ制御信号ENABLE-□#はすべてハイ・レベルにデアサートされ、バス・スイッチ60はすべてオフになっているため、コネクタ側のPCIバス・ライン16bにはPCI信号が現われていない。ステップ501でコンピュータ100がドッキング・ステーション200に装着され、コネクタ150aとコネクタ150bが電気的に接続されると、ハードウェアがそれを検知して信号を発生する。そのハードウェアは、コンピュータ本体に設けたスイッチでもよいし、コネクタ150を経由してコンピュータに接続されたラインを有するドッキング・ステーション側のデバイスでもよい。この信号は、電源コントローラ38に送られ、これを受信した電源コントローラはSMIを発行する。ここにSMIを発行するデバイスは電源コントローラに限定されるものではなく、同等の機能を備える他のデバイスであってもよい。

【0060】ステップ503において、BIOSはこのSMIを検知して電源コントローラにバス接続信号CONTROL#をロー・レベルにアサートするよう指示を出し、電源コントローラはバス・スイッチ制御回路61にロー・レベルのCONTROL#を送る。BIOSがCONTROL#の信号をアサートするように指示するデバイスは、電源コントローラに限定されず同等の機能を備える他のデバイスであってもよい。図14でCON

TROL#は1番目のCLKのポジティブ・エッジでアクティブ・ローになっている。この時点でPCIバス16はコンピュータのトランザクションに従ったバス・サイクルを実行しており、バス・スイッチ制御回路61はそのPCIバスの各信号のうち、CLK、FRAME#、IRDY#の3種類の信号をモニタしている。1番目のCLKの間にFRAME#がロー・レベルになり、バス・トランザクションの開始が宣言されアドレス・フェーズが開始する。

【0061】ステップ505ではアドレス・フェーズに入った後の最初のCLKに相当する2番目のCLKのポジティブエッジで、ENABLE-A#がロー・レベルになり、バス・スイッチ60aのスイッチング・デバイス411(図13)がすべてオンになる。ステップ507では、CONTROL#がロー・レベルになってから最初のCLKに相当する2番目のCLKのネガティブ・エッジでENABLE-D#がロー・レベルになり、バス・スイッチ60dのスイッチング・デバイス417がすべてオンになる。ステップ509では8番目のCLKのポジティブ・エッジが発生する時点でFRAME#およびIRDY#の双方がハイ・レベルのアイドル・ステートになっているので、ENABLE-B#がロー・レベルになり、バス・スイッチ60bのスイッチング・デバイス413がすべてオンになる。

【0062】ステップ511では、7番目のCLKのときにFRAME#がハイ・レベルになってデータ・フェーズが終了し、それから4個のCLKのポジティブ・エッジが経過した11番目のCLKのポジティブ・エッジのときにENABLE-C#がロー・レベルになり、バス・スイッチ60cのスイッチング・デバイス415がオンになる。ステップ513ではすべてのバス・ラインの接続が完了したことを示すSTATE#がローレベルになり、電源コントローラ38を経由してSTATE#を周知の方法でコンピュータのユーザまたはシステムに知らせることができる。

【0063】以上の説明により明らかなとおり、本発明の実施例ではノイズの影響があるバス・ラインについてはそれぞれのターンアラウンド・サイクルのタイミングで接続し、それ以外のバス・ラインについてはバス・サイクルを考慮しないで接続する。

【0064】図16にコンピュータをドッキング・ステーションから活性引抜きを行う場合のPCI信号のタイミング・チャートの一例を示し、図17にバスの開放手順のフローチャートの一例を示す。引抜き時の手順は、挿入時の手順のほぼ逆の動作になるので詳細な説明は省略する。ステップ521では稼動しているコンピュータをドッキング・ステーションから引抜き前に、ドッキング・ステーションに備えられているイジェクト・ボタン(図示せず。)を押して引抜き動作の開始の信号を電源コントローラ38に送る。その後ステップ523からス

テップ531まではバス・スイッチ制御回路がバス・スイッチが挿入時とは逆の動作をして順番にバス・ラインを開放していく。ステップ533ですべてのバス・ラインが開放されたことを示すハイ・レベルのSTATE#を周知の方法でコンピュータのユーザに知らせることで、ユーザはドッキング・ステーションからコンピュータを切り離すことができる。

【0065】

【発明の効果】本発明により、コンピュータに簡易なハードウェアを追加することにより、コンピュータのシステムを構成するデバイスを相互に接続するPCIバスまたはその他のバス・ラインとコンピュータの周辺デバイスとを、活性挿抜する装置および方法を提供することができた。さらに本発明により、バス・ラインのターンアラウンド・サイクルをモニタし、活性挿抜してもバス・サイクルにノイズの影響を与えないタイミングになったバス・ラインから活性挿抜していく装置および方法を提供することができた。さらにまた本発明により、活性挿抜のためにバスの占有権を獲得するような装置を設ける必要のない活性挿抜の接続装置および方法を提供することができた。本発明により、活性挿抜のためにPCI-PCIブリッジをコンピュータに設ける必要のない活性挿抜の接続装置および方法を提供することができた。また、本発明により活性挿抜される周辺デバイスに特別な機能を必要としない接続装置および方法を提供できた。

【図面の簡単な説明】

【図1】本発明を適用するのに適したノート型パーソナル・コンピュータおよびドッキング・ステーションの外形図である。

【図2】図1に示したパーソナル・コンピュータの概略ブロック図である。

【図3】図1に示したドッキング・ステーションの概略ブロック図である。

【図4】本発明に使用するPCIバスの信号リストを示す図である。

【図5】PCIバスの基本的な読取り動作を示す図である。

【図6】PCIバスのパリティ動作を示す図である。

【図7】PCIバスの基本的な書込み動作を示す図である。

【図8】PCIバスの基本的なリトライ動作を示す図である。

【図9】PCIバス活性挿抜の基本構成を示すブロック図である。

【図10】バス・スイッチ制御回路61のブロック図を示す図である。

【図11】TIMING-A#を生成する回路の真理値表である。

【図12】TIMING-B#を生成する回路の真理値表である。

【図13】バス・スイッチの実施例を概略的に示す図である。

【図14】活性挿入時のP C I 信号のタイミング・チャートの一例を示す図である。

【図15】活性挿入時の接続手順のフロー・チャートの一例を示す図である。

【図16】活性引き抜き時のP C I 信号のタイミング・チャートの一例を示す図である。

【図17】活性引き抜き時の接続手順のフロー・チャートの一例を示す図である。

【図18】従来技術を示す概略ブロック図である。

【図19】従来技術を示す概略ブロック図である。

【符号の説明】

16…P C I バス

60…バス・スイッチ

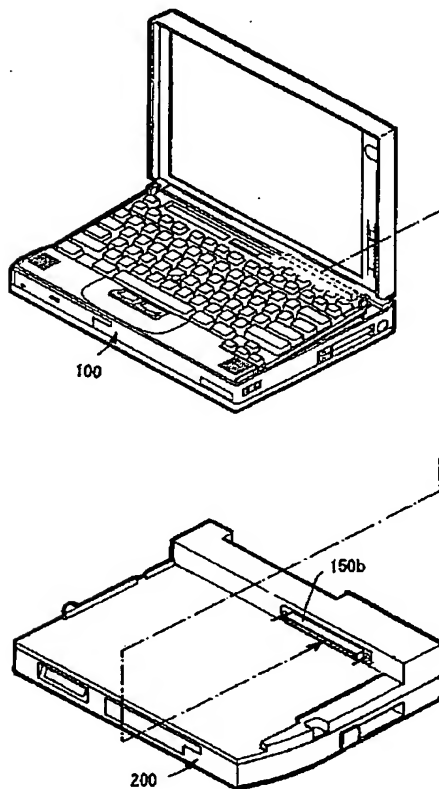
61…バス・スイッチ制御回路

100…パーソナル・コンピュータ

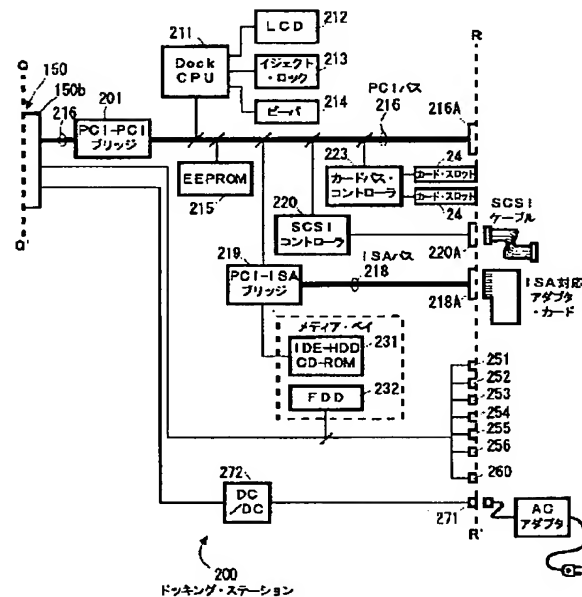
200…ドッキング・ステーション

411、413、415、417…スイッチング・デバイス

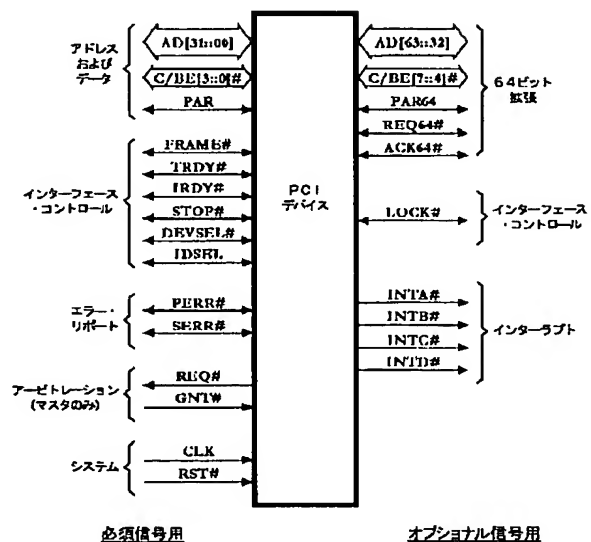
【図1】



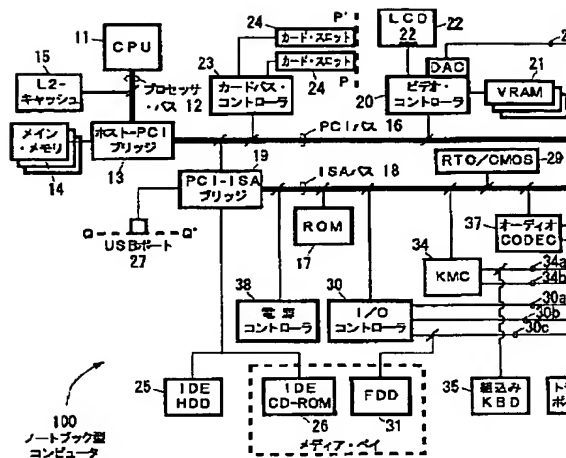
【図3】



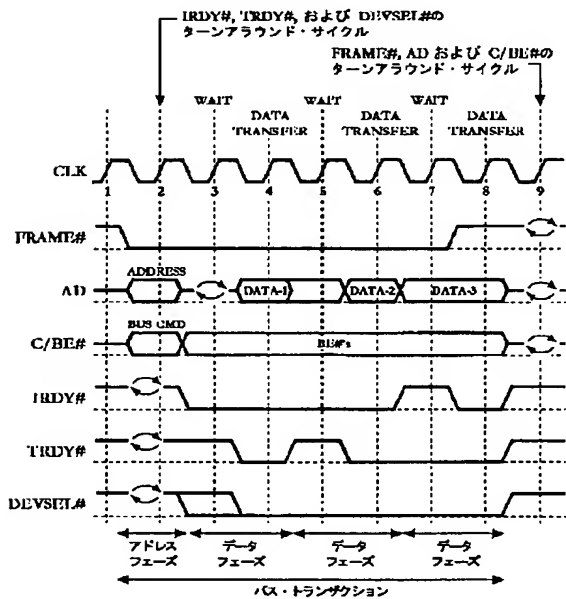
【図4】



【図2】

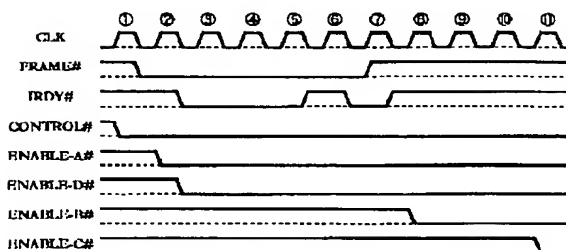


【図5】

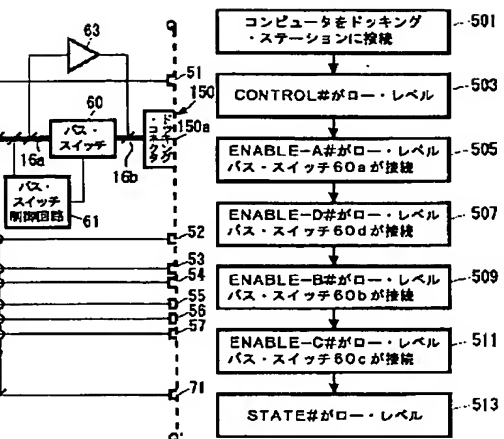


基本読み取り動作

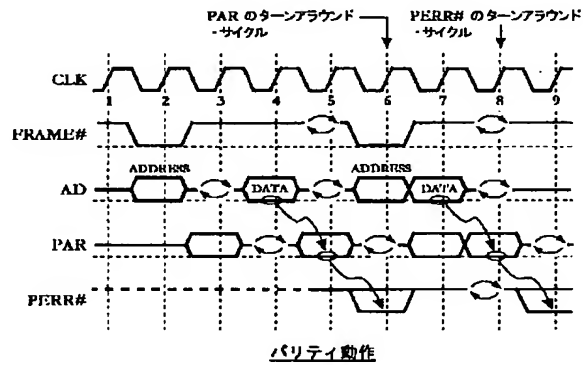
【図14】



【図15】

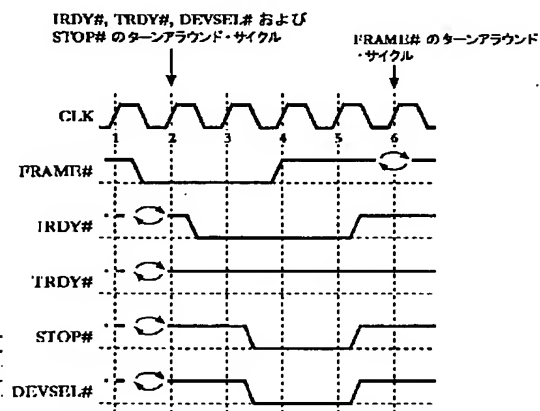


【図6】



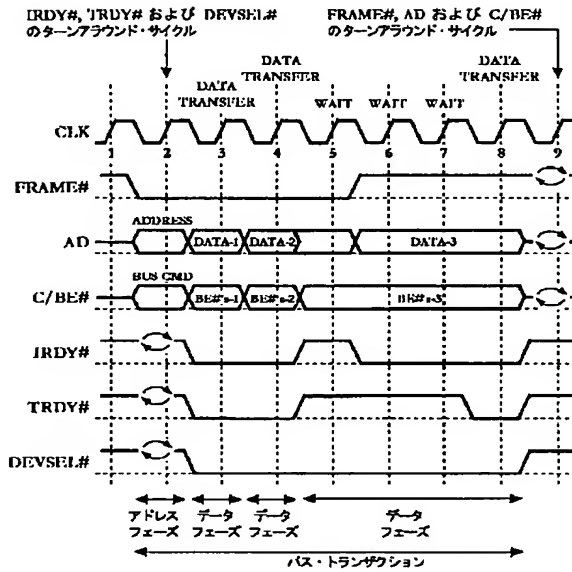
パリティ動作

【図8】



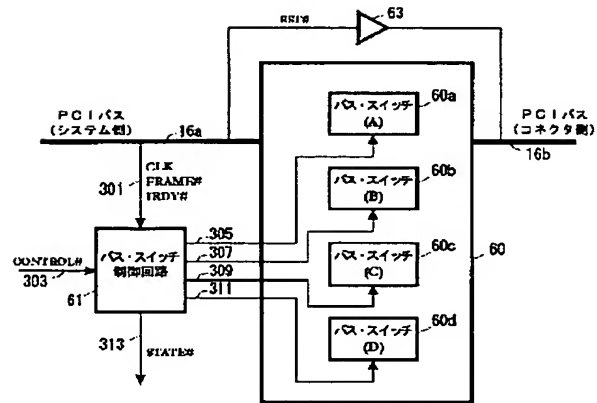
リトライ

【図7】

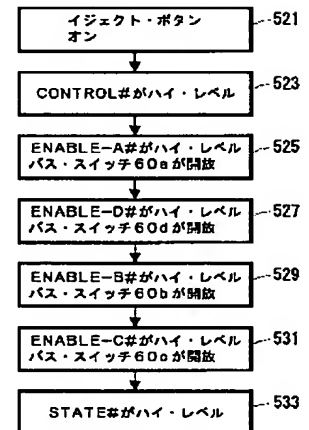


基本書き込み動作

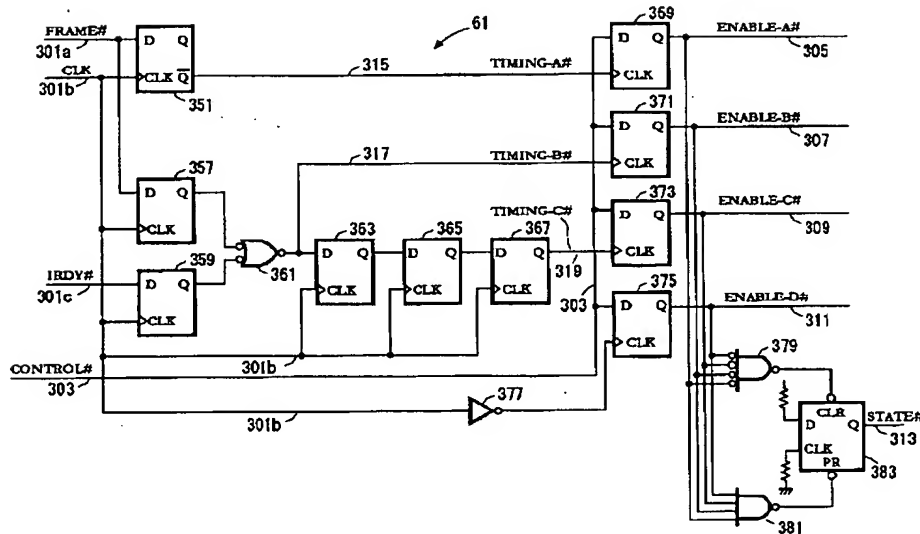
【図9】



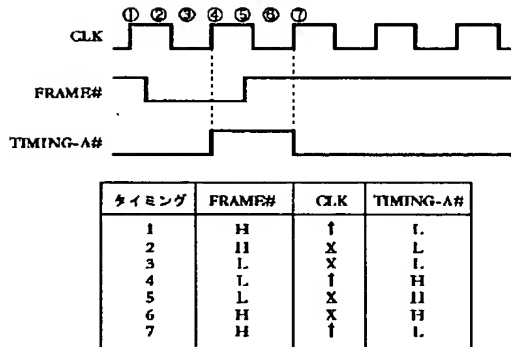
【図17】



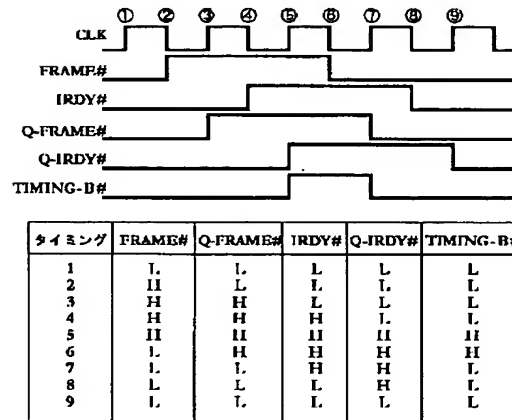
【図10】



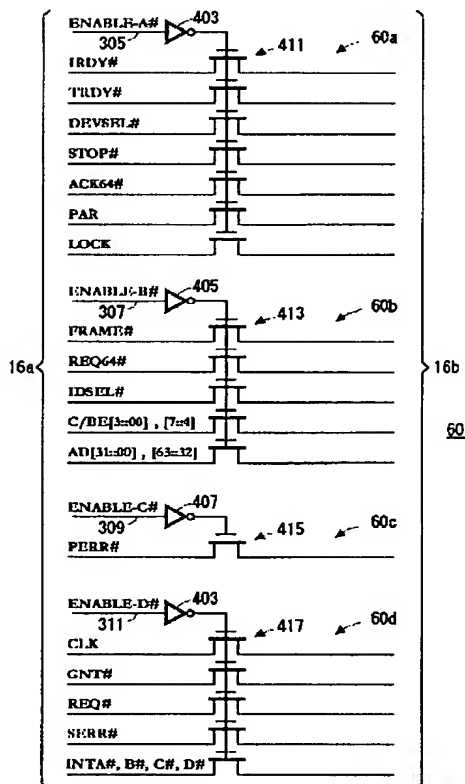
【図11】



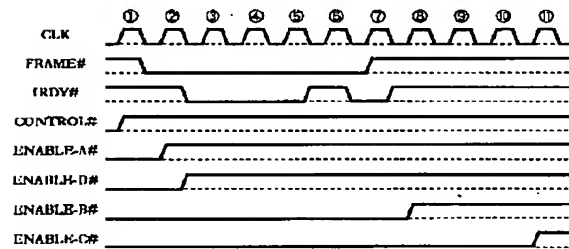
【図12】



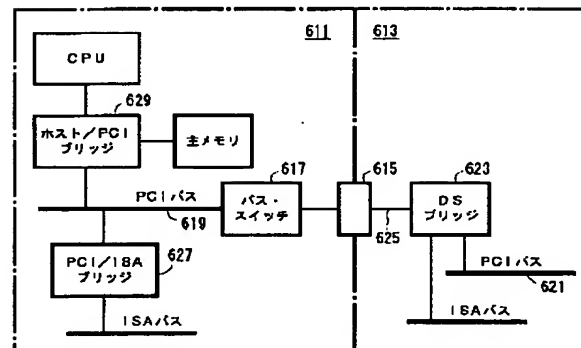
【図13】



【図16】



【図18】



【図19】

